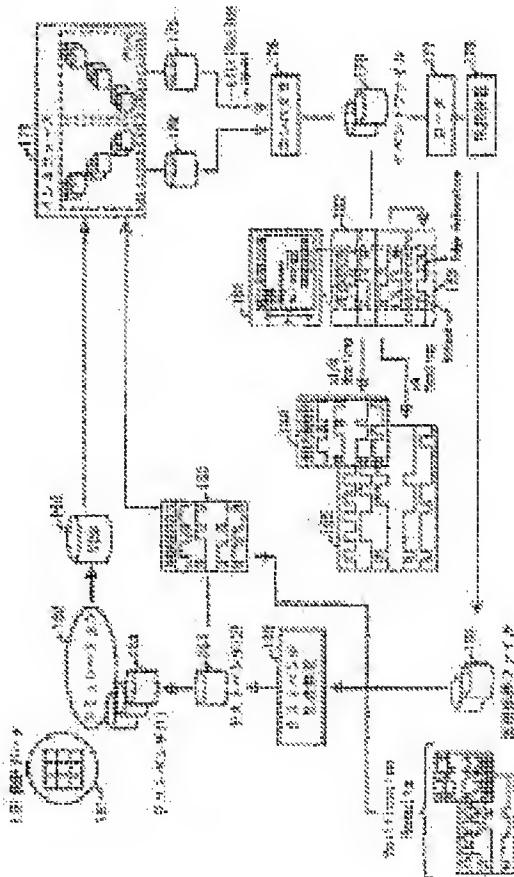


EVENT BASE SEMICONDUCTOR TESTING SYSTEM AND LSI DEVICE DESIGN TESTING SYSTEM

Patent number:	JP2001067395 (A)	Also published as:
Publication date:	2001-03-16	JP4074738 (B2)
Inventor(s):	TURNQUIST JAMES ALAN; SUGAMORI SHIGERU; YAMATO HIROAKI	DE10031536 (A1)
Applicant(s):	ADVANTEST CORP	US6678643 (B1)
Classification:		TW461004 (B)
- international:	<i>G01R31/26; G01R31/28; G01R31/3183; G06F17/50; H01L21/822; H01L27/04; G01R31/26; G01R31/28; G06F17/50; H01L21/70; H01L27/04; (IPC1-7): G06F17/50; G01R31/26; H01L21/822; H01L27/04</i>	KR20010015068 (A)
- european:	G01R31/3183B; G01R31/3183A	
Application number:	JP20000197891 20000627	
Priority number(s):	US19990340371 19990628	

Abstract of JP 2001067395 (A)

PROBLEM TO BE SOLVED: To reduce a turn around time until preparation of a test pattern by forming the test pattern through the direct use of the logical simulation data on an LSI to be tested obtained at a designing step. **SOLUTION:** Concerning LSI design data 161, logical simulation 162 is executed through the use of test benches 163 and 164 to obtain a damp file 168. Concerning this file 168 or data at an event column 169 by the bench 164, an interface 171 decides assigning to each test pin and a signal level to form files 172 and 173, and data in a file are code-converted by a compiler 175 to be stored in an event file 176. At the time of executing a test, a loader 177 transfers event data to a testing device 178 from the file 176 to generate a test pattern to execute the test of a device to be tested.; A testing result is stored in a testing result file 166 and fed back via test bench generation correction 165.



Data supplied from the **esp@cenet** database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-67395

(P2001-67395A)

(43)公開日 平成13年3月16日(2001.3.16)

(51) Int.Cl.⁷
 G 0 6 F 17/50
 G 0 1 R 31/26
 31/28
 H 0 1 L 27/04
 21/822

識別記号
6 6 2

F I
G 0 6 F 17/50
G 0 1 R 31/26
31/28
H 0 1 L 27/04

テマコード*(参考)
6 6 2 D
G
F
T

審査請求 未請求 請求項の数10 O.L (全 15 頁)

(21)出願番号 特願2000-197891(P2000-197891)
 (22)出願日 平成12年6月27日(2000.6.27)
 (31)優先権主張番号 0 9 / 3 4 0 3 7 1
 (32)優先日 平成11年6月28日(1999.6.28)
 (33)優先権主張国 米国(US)

(71)出願人 390005175
 株式会社アドバンテスト
 東京都練馬区旭町1丁目32番1号
 (72)発明者 ジェイムス・アラン・ターンキスト
 アメリカ合衆国、カリフォルニア州、サンタクララ、スコット・ブラバラード 3201
 (72)発明者 菅森 茂
 アメリカ合衆国、カリフォルニア州、サンタクララ、スコット・ブラバラード 3201
 (72)発明者 矢元 裕明
 アメリカ合衆国、カリフォルニア州、サンタクララ、スコット・ブラバラード 3201

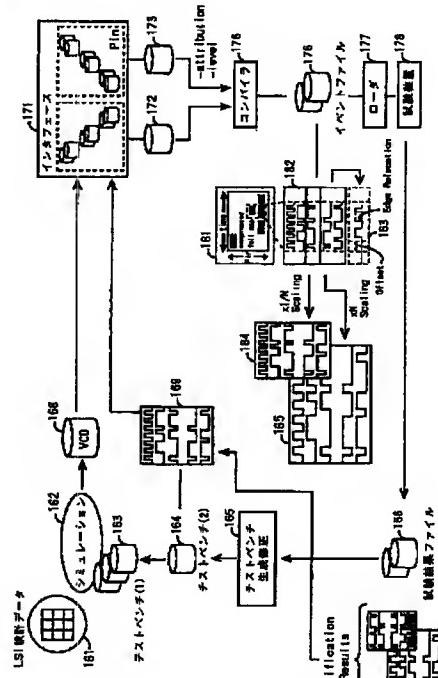
(54)【発明の名称】イベントベース半導体試験システム及びLSIデバイス設計試験システム

(57)【要約】

【課題】電子設計自動化(EDA)環境において設計されたLSIデバイスの機能を、デバイス論理シミュレータにより、コンピュータ上においてテストし、そのテスト結果データから実際のテストパターンを形成してLSIデバイスを試験し、その結果をEDA環境にフィードバックする半導体試験システムを提供する。

【解決手段】被試験LSIデバイスの設計段階において実行したデバイス論理シミュレーションにより得られたイベントベースのデータをオブジェクトコードに変換するためのコンパイラと；格納するイベントファイルと；基本クロック周期の整数倍のタイミングを現すデータと端数分とに分けて記憶するイベントメモリと、被試験LSIデバイスに与える手段と、その試験結果データを格納する結果データファイルと、EDA環境にフィードバックする手段とにより構成される。

[図11]



【特許請求の範囲】

【請求項1】 被試験デバイスの設計段階において実行したデバイス論理シミュレーションにより得られたイベントデータをオブジェクトコードに変換するためのコンパイラと、
 そのコンパイラにより変換されたイベントデータを格納するイベントファイルと、
 イベントファイルからのイベントデータを基本クロック周期の整数倍のタイミングを現すデータと基本クロック周期の端数分のタイミングを現すデータに分けて記憶するイベントメモリと、
 そのイベントメモリからのイベントデータに基づいて、イベントベースのテストパターンを発生し、そのテストパターンを被試験LSIデバイスに与える手段と、
 その被試験LSIデバイスの応答出力を検証して、その試験結果データを格納する結果データファイルと、
 その結果データファイルのデータに基づいてLSIデバイスの設計を評価する手段と、
 により構成される半導体試験装置。

【請求項2】 上記イベントデータは、被試験LSIデバイスの所定の回路における入出力信号の各オンオフ変化点を、所定の時間基準からの時間経過により現したデータである、請求項1に記載の半導体試験システム。

【請求項3】 上記コンパイラには、半導体試験システムの試験ピンデータが併せて与えられて、上記イベントファイルが形成される、請求項1に記載の半導体試験システム。

【請求項4】 上記イベントデータを格納するイベントファイルからのイベントデータを用いて、被試験LSIデバイスに与えるテストパターンを時間軸上で表示する手段を有する、請求項1に記載の半導体試験システム。

【請求項5】 上記イベントデータを格納するイベントファイルからのイベントデータを用いて、被試験LSIデバイスに与えるテストパターンを時間軸上で表示する手段を有し、その表示手段を通して、そのテストパターンの包括的表示、部分拡大表示、テストパターン中の各イベントのタイミングの変更、イベントのオフセット付加や除去をする、請求項1に記載の半導体試験システム。

【請求項6】 LSIデバイスをコンピュータ支援により設計する電子設計自動化(EDA)と、
 その設計の段階でLSIデバイスに対して実行した論理シミュレーションにより得られたダンプファイルと、
 そのダンプファイル中のイベントデータをオブジェクトコードに変換するためのコンパイラと、
 そのコンパイラにより変換されたイベントデータを格納するイベントファイルと、
 イベントファイルからのイベントデータを基本クロック周期の整数倍のタイミングを現すデータと基本クロック

るイベントメモリと、
 そのイベントメモリからのイベントデータに基づいて、イベントベースのテストパターンを発生し、そのテストパターンを被試験LSIデバイスに与える手段と、
 その被試験LSIデバイスの応答出力を検証して、その試験結果データを格納する結果データファイルと、
 その結果データファイルのデータに基づいてLSIデバイスの設計を評価し、EDA環境にフィードバックする手段と、

10 により構成されるLSIデバイス設計試験システム。

【請求項7】 上記イベントデータは、被試験LSIデバイスの所定の回路における入出力信号の各オンオフ変化点を、所定の時間基準からの時間経過により現したデータである、請求項6に記載のLSIデバイス設計試験システム。

【請求項8】 上記コンパイラには、半導体試験システムの試験ピンデータが併せて与えられて、上記イベントファイルが形成される、請求項6に記載のLSIデバイス設計試験システム。

20 【請求項9】 上記イベントデータを格納するイベントファイルからのイベントデータを用いて、被試験LSIデバイスに与えるテストパターンを時間軸上で表示する手段を有する、請求項6に記載のLSIデバイス設計試験システム。

【請求項10】 上記イベントデータを格納するイベントファイルからのイベントデータを用いて、被試験LSIデバイスに与えるテストパターンを時間軸上で表示する手段を有し、その表示手段を通して、そのテストパターンの包括的表示、拡大表示、テストパターン中の各イベントのタイミングの変更をする、イベントのオフセット付加や除去をする、請求項6に記載のLSIデバイス設計試験システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は超LSI等の半導体集積回路を設計し試験するための総合システムに関し、特に、CADを用いた半導体回路の設計段階において、その設計検証のための論理シミュレーションにより得られたデータを直接的に使用して、イベントベースの試験

40 (テスト)パターンを発生させて、半導体回路を試験することができるイベントベース半導体試験システム及びLSIデバイス設計試験システムに関する。

【0002】

【従来の技術】 超LSI等の半導体集積回路(以後必要に応じて「ICデバイス」、「被試験LSI」あるいは「被試験デバイス」ともいう)を試験するための半導体試験装置(ICテスタあるいはLSIテスタと通称される)の典型的な構成例を第1図に示す。

【0003】 第1図において、テストプロセッサ11は

置の動作をテストバスを経由して制御する。パターン発生器12はテストプロセッサからのパターンデータに基づき、タイミングデータと波形データを、それぞれタイミング発生器13、波形整形器14に与える。パターン発生器12からの波形データとタイミング発生器13からのタイミング信号により、テストパターンが波形整形器14により形成され、ドライバ15を経由して、被試験デバイス(DUT)19に印加される。

【0004】DUT19からの結果としての応答出力は、アナログコンパレータ16により、所定のスレッショルドレベルで論理信号に変換され、ロジックコンパレータ17において、パターン発生器12で形成された期待値と論理比較される。比較結果はDUT19のアドレスに対応して、フェイルメモリ18に記憶される。ドライバ15、アナログコンパレータ16および、被試験デバイスのピンを切り替えるスイッチ(図示せず)等はピンエレクトロニクス20に設けられている。

【0005】LSI等の半導体集積回路を開発する工程において、現在ではほとんどの場合、コンピュータ支援による設計(CAD)手法が用いられる。このようなCADによる開発環境を、一般に電子設計自動化(EDA)環境と称している。

【0006】このようなEDA環境での設計自動化の工程において、VHDLやVerilogのようなハードウェア記述言語(ハードウェア・ディスクリプション・ランゲージ)を用いて、意図した半導体回路をLSI中に設計する。また、その設計した回路が意図したように機能するかを、デバイス論理シミュレータと呼ばれるソフトウェアシミュレータにより、コンピュータ上で試験している。

【0007】デバイス論理シミュレータは、テストベンチと呼ばれるインターフェースを有している。論理シミュレータはこのインターフェースを経由して、意図した半導体回路の設計データ(デバイスマodel)に、試験のためのデータ(テストベクタ)を模擬的に与え、その半導体回路の応答を模擬的に試験することができる。

【0008】このような開発工程を経てLSIが生産されると、そのLSIの機能等は、上述のような半導体集積回路試験装置、例えばLSIテストにより試験される。上述のようにLSIテストは、被試験LSIに試験パターンを供給し、その結果として得られた被試験LSIの出力信号を、所定の期待値と比較して、被試験LSIの良否を判定する。LSIテストで使用する試験(テスト)パターンは、被試験LSIデバイスの機能が高度化しかつ高集積化するにともない、その容量が大きくなつたその内容も複雑になっている。したがって、テストパターンの作成には、多大の時間と労力を要する。

【0009】このためLSIの開発工程におけるデバイス論理シミュレータの駆動により得られたデータを、実

体集積回路の試験の効率と総合的生産効率を高めるよう試みられている。これはLSIテストによる半導体集積回路の試験は、上述のデバイス論理シミュレータによるCAD上でのLSIの設計機能の検証と大きな類似性を有しているため、設計段階で得られたデータ資産を有効活用できる可能性があるからである。

【0010】すなわち論理シミュレーションを実行した結果としてのデータ(ダンプファイル)から、その被試験LSIの試験に適合したLSIテスト用のテストパターンや期待値パターンを得るように試みられている。そのような半導体集積回路の設計段階と試験段階の総合的な関係を第2図の概念図に示す。この例では、電子自動設計環境(EDA)21において、超LSI例えは、システムオンチップ(SoC)23を設計した場合を示している。

【0011】EDA環境21における、半導体集積回路23の設計により、その集積回路23の設計データファイル25と試験データファイル33が得られる。設計データは各種のデータ変換等を経て、物理的な半導体のゲート単位のデータとされ、半導体集積回路の製造プロセス(シリコンプロセス)26により、現実の集積回路29が製造される。

【0012】このようにして製造された集積回路は、被試験ICデバイスとして試験装置30に与えられる。設計段階で得られた試験データを用いて、テストベンチ34等による論理シミュレーションを実行することにより、集積回路の入出力間の関係を示すデータファイル35が得られる。このようなデータファイルを、デバイス論理シミュレータのダンプファイルと称すことがあり、その典型的な例としては、VerilogのVCD(Value Change Dump)がある。

【0013】後で詳述するが、イベント形式で記載されているVCD35を、サイクル形式の試験信号に変換するために、変換ソフトウェア37によりデータ形式の変換が行われる。これにより、サイクル形式としての試験パターンが集積回路試験装置30内のファイル38に蓄積される。ハードウェアとしてのテスト39は、この試験パターンを用いて被試験デバイス29の機能等を試験する。

【0014】ところで、上述したように、論理シミュレーションデータにおいては、デバイスマodelに与えるテストパターンやデバイスマodelからの結果としての出力(期待値パターン)は、イベント形式(イベントベース)で表現されている。ここでイベントベースとは、注目するテストパターンが1から0にあるいは0から1にスイッチするときのその変化点(イベント)を、時間の経過との関係で現したものである。時間の経過は、例えはある基準からの連続した絶対的時間差として、あるいは直前のイベントからの相対的時間差として現されるこ

【0015】これに対して実際のLSIテスト（半導体試験装置）では、一般に上述したサイクルベースによりテストパターンが表現される。サイクルベースにおいては、テストパターンの各変数は、テストの各試験サイクル（テスタレート）との関係で定義されている。このためあとで詳述するが、一般にLSIテストでは、テストパターンデータに含まれる、試験サイクル（テスタレート）記述、波形（波形種類、エッジタイミング）記述、およびベクタ記述を用いて、所定のサイクルにおけるテストパターンを形成している。

【0016】このように、現存するLSIテストはサイクルベースでデータが取り扱われ、EDA環境から生まれるデータはイベントベースである。したがって、被試験LSIの開発設計時におけるCADデータを基にして、実際に生産された被試験LSIを試験するためのテストパターンを効率良く生成するためには、イベントベースのデータをサイクルベースのデータに変換する必要がある。

【0017】このため上記の第2図において、変換ソフトウェア37により、デバイスの設計時に用いられたデバイス論理シミュレータのダンプファイル35から、パターンデータとタイミングデータを抽出し、これをサイクルベースのデータに変換する。パターンデータとタイミングデータは、上述のような試験サイクル（テスタレート）、波形（波形種類、エッジタイミング）、およびベクタの各記述を有しており、試験装置30のパターンファイル38に格納される。

【0018】パターンファイル38に格納されたデータを用いて、サイクルベースの試験装置であるテスト39により、DUT29に与える試験パターンが形成される。上述したように、現存するLSIテストの試験パターンは、パターンデータとタイミングデータ中の、試験サイクル（テスタレート）データ、波形（波形種類、エッジタイミング）データ、およびベクタデータを用いて形成される。

【0019】これらのデータ構造の概念を第3図に示す。第3図において、サイクルベースの試験パターンは、テストベクタファイル41とテストプランファイル42に格納されている。これらのデータに基づいて、意図した波形45に示すような試験パターンを、例えば第1図の波形整形器14で形成する。ここでテストベクタファイル41はベクタデータ（パターンデータとも呼ばれる）を格納し、テストプランファイル42は、タイミングデータ、すなわち試験サイクル（テスタレート）、波形（波形種類、エッジタイミング）のデータを格納している。

【0020】第3図において、意図した試験波形45を形成するために、パターンデータ記述46において“1”、“0”、“X”等のベクタデータが設定され、タ

おける波形やその遅延データが設定される。これらのデータは各試験サイクル毎に定義される必要がある。

【0021】一方、EDA環境下のLSI設計段階で生成されるデータ、例えばデバイス論理シミュレータによる検証結果データは、上述のようにイベントベースのデータ構造であり、上記の第3図のデータ構造と大きく異なる。その様子を第4図を参照して説明する。ここで波形58は、論理シミュレーションの結果として得られたダンプファイル57におけるイベントデータをタイミングイベント列で現している。すなわちダンプファイルのイベントデータは、波形58の各変化点を例えセット、リセットの時間のリストとして現している。

【0022】第4図において、ダンプファイルが形成される課程を簡単に説明する。EDA環境のもとでLSI設計を行う場合、その設計内容の記述データは各種の形態（階層）で形成される。より高い階層では、より機能的な記述であるが、それらが順次変換されてより低い階層では、半導体のゲートレベルさらには物理的な構造レベルの記述となる。この図において、RTLファイル54は、レジスタトランスマーカー（RTL）の記述による設計データを格納している。RTL設計データは合成ソフトウェア55により、ネットリストのデータに変換されてネットリストファイル56に格納される。ネットリストはゲート間の接続関係を記述したデータであり、RTL設計データをより実際の半導体の回路構造に近い形での設計データにしたものである。

【0023】これらの設計データを基に、テストベンチ51によるテストベクタを、例えばHDLシミュレーション52やゲートレベルでのシミュレーション53に与えて、設計データの検証を行う。その結果として上記ダンプファイルには、所定の入力イベントとその入力イベントに対する出力イベント、およびその時間を記述したデータが得られる。

【0024】このようにEDA環境下のLSI設計段階で生成されるデータ、例えばデバイス論理シミュレータによる検証結果データを用いて、テストパターンを作成し、そのテストパターンを用いて、設計されたデバイスの試験をしている。しかし、上記のように異なるデータ構造（イベントベースとサイクルベース）間でのテストパターンの変換を要するため、さらに対象とするLSIテストのハードウェアやソフトウェアの制限のために、必ずしも設計検証用のイベントデータが、試験装置用のサイクルベースのデータに完全には変換できない。

【0025】このために、この変換されたテストパターンを用いて、被試験デバイスを試験した場合、その被試験デバイスの問題点を検出できないことが生じる。すなわちデバイスの不良検出効率（デバッグ効率）が低下する。より完全なテストパターンに変換するためには、大きな時間と労力を必要とし、試験のためのコスト（オ

る。

【0026】また従来の半導体試験装置では、上記のようにパターンデータとタイミングデータにより、試験サイクル、試験信号波形、タイミング、および論理ベクタ等を区別して記述する必要があるため、その記述にもとづいて所定のテストパターンを発生させるためには、複雑で高価なソフトウェアとハードウェアが必要となる。

【0027】したがって、EDA環境で得られた検証データと同じ思考方法で、テストパターンの発生と被試験デバイスの検証を行いその結果をフィードバックすることができる、効率の良い半導体設計試験総合システムがのぞまれている。またこのような新しい概念の半導体設計試験システムにより、LSIの設計期間、およびその検証期間のよりいっそうの短縮が望まれている。

【0028】

【発明が解決しようとする課題】したがって、本発明の目的は、電子設計自動化(EDA)手法による設計の段階で得られた、被試験LSIの論理シミュレーションデータ、またはそれと類似のデータ構造(イベントベース)を有するテストデータを直接的に使用してテストパターンを形成し、被試験LSIの試験を実行できる半導体試験システムを提供することにある。

【0029】本発明の他の目的は、意図するLSIの開発設計時におけるCADデータを基にして作成されたイベントベースのシミュレーションデータをそのまま使用して、被試験LSIを試験するためのテストパターンを形成することができるイベントベースの半導体試験装置を提供することにある。

【0030】本発明の他の目的は、意図するLSIの開発設計時におけるCADデータを基にして作成されたイベントベースのシミュレーションデータをそのまま使用して、被試験LSIを試験するためのテストパターンを形成することにより、LSIの設計からテストパターン作成までのターンアラウンドタイムを大幅に短縮できる半導体試験システムを提供することにある。

【0031】本発明のさらに他の目的は、被試験LSIの開発設計時におけるCADデータを基にして作成されたイベントベースのシミュレーションデータをそのまま使用して、被試験LSIを試験するためのテストパターンを形成することにより、より単純なソフトウェアとハードウェアにより構成することができるイベントベースの半導体試験装置を提供することにある。

【0032】本発明のさらに他の目的は、被試験LSIのEDA開発設計環境と試験環境が直結し、設計データを用いて直接的に被試験LSIを試験するためのテストパターンを形成して試験を行うとともに、試験結果をEDA開発設計環境に直接フィードバックすることができるイベントベース半導体試験システムを提供することにある。

の開発設計時におけるCADデータを基にして作成されたイベントベースのシミュレーションデータをそのまま使用して、被試験LSIを試験するためのテストパターンを形成することにより、試験コストの低下と試験効率の向上を実現できる半導体試験装置を提供することにある。

【0034】

【課題を解決するための手段】本発明の半導体試験システムでは、電子設計自動化(EDA)環境において設計されたLSIデバイスの機能を、デバイス論理シミュレータにより、コンピュータ上においてテストを実行することにより得られたイベントデータであるダンプファイル中のデータから、直接的にLSIテスト用のテストパターンを作成する。このテストパターンを用いてLSIデバイスの試験を行うとともに、試験結果に基づいて、LSIデバイスの評価をEDA環境にフィードバックする。

【0035】本発明の半導体試験装置は、コンピュータ支援により電子設計自動化(EDA)環境において設計したLSIデバイスの機能をデバイス論理シミュレータにより検証することにより得られたデータを直接的に利用して、高い試験効率で半導体の試験を行う。本発明の半導体試験装置は、論理シミュレーションを実行して得られた、被試験デバイスの入出力信号変化とその時間をイベントベースで現わすイベントデータをオブジェクトコードに変換するためのコンパイラと；そのコンパイルされたイベントデータを格納するイベントファイルと；イベントファイルからのイベントデータを基本クロック周期の整数倍のタイミングを現すデータと基本クロック周期の端数分のタイミングを現すデータに分けて記憶するイベントメモリと；そのイベントメモリからのイベントデータに基づいて、イベントベースのテストパターンを発生し、そのテストパターンを被試験LSIデバイスに与える手段と；その被試験LSIデバイスの応答出力を検証して、その試験結果データを格納する結果データファイルと；その結果データファイルのデータに基づいて、被試験LSIデバイスの設計を評価し、EDA環境にフィードバックする手段と、により構成される。

【0036】本発明の半導体試験システムは、EDA手法による設計の段階で得られた被試験LSIの論理シミュレーションデータを直接的に使用してテストパターンを形成し、その被試験LSIの試験を実行できる。この半導体試験装置においては、意図するLSIの開発設計時におけるCADデータを基にして作成されたイベントベースのシミュレーションデータをそのまま使用して、被試験LSIを試験するためのテストパターンを形成することができる。

【0037】このため本発明の半導体試験システムは、LSIの設計からテストパターン作成までのターンアラ

ウンドタイムを大幅に短縮することができる。

ソフトウェアとハードウェアにより構成することができる。また設計段階での論理シミュレーションと実際のデバイスに対する試験が同一の思考方法で可能であり、試験結果をEDA開発設計環境に直接フィードバックすることができる。さらに本発明は、試験コストの低下と試験効率の向上を実現できる。

【0038】

【発明の実施の形態】本発明の実施例、および本発明と従来技術との比較相違を図面を参照して説明する。第5図は、従来の半導体試験装置において、サイクルベースによりテストパターンを形成するためのデータ記述例と、それと同一のテストパターンを本発明の半導体試験装置によりイベントベースでテストパターンを形成するためのデータ記述例を比較して示している。

【0039】集積回路の設計段階で得られた、論理シミュレーションの結果データを格納したダンプファイル57は、第5図の上部に示されている。ダンプファイル57の典型的な例としては、VerilogのVCD (Value Change Dump) がある。そのダンプ出力データは、設計したLSIデバイスの入出力信号変化とその時間をイベントベースで現わしたデータであり、例えば波形61を表現するような、記述になっている。その記述に基づいて、波形61に示すようなテストパターンを形成することを想定する。この波形61では、ピン (テスタピンあるいはテストチャンネル) SaとSbから発生されるテストパターンの波形が描かれている。この波形を表現するための、イベントデータは、各イベントをセットエッジSa, Sbとそのタイミング (例えば基準点からの時間の経過) 、およびリセットエッジRa, Rbとそのタイミングで記述されている。

【0040】このダンプファイルからのダンプデータを基にして、従来の半導体試験装置で使用するサイクルベースのテストパターンを形成するためには、上述のように、ダンプデータを試験サイクル (テスター) 、波形 (波形種類、エッジタイミング) 、およびベクタの各記述に変更する必要がある。その記述例を第5図中央部および左部に示す。サイクルベースのテストパターンの場合、第5図の左部の波形63のように、テストパターンを各試験サイクル (TS1, TS2, TS3) に分けて、そのサイクルの中で各波形とそのタイミングを定義する。

【0041】そのための波形、タイミングおよび試験サイクルのデータ記述例が、タイミングデータ (テストプラン) 66に示されており、その波形の"1"または"0"あるいは"Z"等の論理がベクタデータ (パターンデータ) 65に示されている。例えばタイミングデータ66では、試験サイクルが"rate"としてその時間間隔が規定され、波形種類はRZ (リターンゼロ) , NRZ (ノンリターンゼロ) , XOR (排他論理) 等で規

サイクルのエッジからの遅延時間として規定される。

【0042】一方、このダンプファイルからのダンプデータを基にして、本発明のイベントベースによる半導体試験装置で使用するイベントベースのテストパターンを形成することは極めて単純である。これは、ダンプデータがイベント形式で形成されているからである。第5図の右下部のイベントデータ68は、上部に記載されたダンプデータをそのまま利用すればよいことが明らかであろう。

【0043】第6図は、EDA環境において得られたLSIの設計検証データを用いて、従来の半導体試験装置における、サイクルベースによるテストパターンを形成する場合の、EDA環境と試験装置の関係を、必要なソフトウェアにより示したブロック図である。EDA環境71において得られたLSIの設計検証データは、変換ソフトウェア72によりサイクルベースのデータに変換される。変換されたデータは、コンパイラ73によりオブジェクトコードに変換され、オブジェクトファイル74が形成される。オブジェクトファイル74は、例えばタイミングオブジェクト、パターンオブジェクト、波形オブジェクト等により構成される。

【0044】オブジェクトファイル74のデータは、LSIテスト内蔵のパターンメモリ、タイミングメモリおよび波形メモリに必要量転送され、記憶される。これらのメモリのデータは第5図に示したような、サイクルベースのデータ構造になっている。被試験デバイスを試験する場合には、それらのメモリからデータを読み出し、テストパターンを形成し、そのテストパターンをLSIテスト内のピンエレクトロニクス (PE) から被試験デバイスに与える。

【0045】試験の結果としてのデータは、例えばフェイルメモリ (図示せず) に蓄積する。試験結果データは適宜その波形等を再構成しデータファイル77に格納され、フェイル分析等を行うツール78を用いた不良解析等に使用される。この解析結果はEDA設計環境71から得られるデータと、半導体試験装置76で使用するデータとは、その構造が異なるために、各種の変換等を行なうソフトウェアが必要である。またデータ構造が異なるため、このフィードバックされたデータをEDA設計環境71で利用することは難しい。

【0046】第7図は、本発明によるイベントベースの半導体試験装置を、従来技術である第6図のサイクルベースの半導体試験装置と比較して示すブロック図である。イベントベースの半導体試験装置の場合、EDA環境81で得られたダンプ出力データを、コンパイラ83によりそのままコンパイルしてオブジェクトコードを形成できる。イベントオブジェクトはファイル84に格納され、必要に応じて試験装置86内のイベントメモリに

【0047】イベントメモリに格納されたイベントデータは、第5図に示すような記述となっており、単純なセットまたはリセットとその時間が記述されているのみである。このためイベントメモリからのデータを用いてテストパターンが簡単に形成できる。テストパターンを被試験デバイスに与えて得られた、その試験結果としてのデータは、不良分析ツール82において直接的に不良解析が行え、その結果をEDA環境81に直接フィードバックできる。このように、本発明によるイベントベースの試験装置によれば、極めて単純で少量のソフトウェアを用いるのみでテストパターン形成できる。またイベントデータに基づいて、セットおよびリセットを発生させることにより、テストパターンが形成されるので、試験装置内のハードウェアも単純な構成でよい。

【0048】したがって、本発明のイベントベースの半導体試験装置によれば、テストパターンを形成するためのハードウェアおよびソフトウェアのコストを低減できるとともに、設計データから得られたテストパターンと試験装置で形成されるテストパターンの整合がとれ、被試験デバイスの不良検出率（デバッギング効率）が向上する。さらに開発設計時に作成されたイベントベースのシミュレーションデータをそのまま使用して被試験LSIを試験するためのテストパターンを形成することができるので、LSIの設計からテストパターン作成までのターンアラウンドタイムを大幅に短縮できる。

【0049】第8図と第9図の関係は、上述した第6図と第7図の関係に類似しているが、EDA環境とLSIテストとの間に介在するソフトウェアを、より詳細に示している。第8図は、EDA環境において得られたLSIの設計検証データを用いて、従来の半導体試験装置における、サイクルベースによるテストパターンを形成する場合に、EDA環境と試験装置の間に必要なソフトウェアを示したブロック図である。

【0050】第8図において、EDA環境91において得られたLSIの設計検証データは、ダンプファイル92に格納される。ダンプファイル92のデータと、ピンデータファイル93からの半導体試験装置106のピンデータが、変換ソフトウェア97に与えられて、サイクルベースのデータに変換される。また試験装置の各仕様を規定したデータを格納するファイル94、95および96からの各仕様データがソフトウェア97によりサイクルベースのデータ形成のために変換される。

【0051】これによりテストプランファイル98およびテストパターンファイル99が形成される。本出願において、テストプランデータはタイミングデータと同意義であり、試験パターンの波形、試験サイクル、各波形のタイミングを記述している。パターンデータは試験パターンをベクタ記述している。これらの変換されたデータは、コンパイラ101及び102によりオブジェクト

104が形成される。オブジェクトファイル103、104のデータは、ローダにより試験装置（LSIテスト）106内の所定のメモリ（波形、タイミング、パターン）に転送される。

【0052】LSIテスト106内のパターンメモリ、タイミングメモリおよび波形メモリに記憶されたデータは、例えば第5図に示したような、サイクルベースのデータ構造になっている。被試験デバイスを試験する場合には、それらのメモリからデータを読み出し、テストパターンを形成し、そのテストパターンをLSIテストのピンエレクトロニクス（PE）から被試験デバイスに与える。

【0053】第6図の場合と同様に、試験の結果データは、例えばフェイルメモリ（図示せず）に蓄積する。試験結果データは入出力波形を表示するために、イベント形式と類似した形式に再構成してデータファイル107とし、そのデータファイル107のデータは、フェイル分析等を行うツール108を用いた不良解析等に使用される。この解析結果はEDA設計環境にフィードバックされるが、上記のように直接的な利用はできない。

【0054】上記のように、EDA設計環境91から得られるデータと、半導体試験装置106で使用するデータとは、その構造が異なるために、各種の変換等を行うソフトウェアが必要である。特に波線で囲まれた部分のソフトウェアはこれら変換に必要なものであり、本発明のイベントベースのLSIテストにおいては、全て不要となる。

【0055】第9図は、第7図と同様に、本発明によるイベントベースの半導体試験装置を、従来技術である第306図あるいは第8図のサイクルベースの半導体試験装置と比較して示すブロック図である。イベントベースの半導体試験装置の場合、EDA環境115で得られたダンプファイル111のダンプ出力データと、ピンデータファイルからのピン情報を、コンパイラ113によりそのままコンパイルしてオブジェクトコードを形成できる。イベントオブジェクトはオブジェクトファイル114に格納され、ローダを経由して必要に応じて試験装置118内のイベントメモリに転送される。

【0056】イベントメモリに格納されたイベントデータは、第5図に示すような記述となっており、単純なセットまたはリセットとその時間が記述されているのみである。このためイベントメモリからのデータを用いてテストパターンが簡単に形成できる。テストパターンを被試験デバイスに与えて得られた、その試験結果としてのデータは、不良分析ツール119において直接的に不良解析（イベント列の表示）が行え、その結果をEDA環境115に直接フィードバックできる。

【0057】このように、本発明によるイベントベースの試験装置によれば、極めて単純で少量のソフトウェア

第8図の従来技術による試験装置において必要であつた、波線内のソフトウェアは、第9図の本発明の試験装置では全く不要となる。またイベントデータに基づいて、セットおよびリセットを発生させることにより、テストパターンが形成されるので、試験装置内のハードウェアも単純な構成でよい。

【0058】したがって、本発明のイベントベースの半導体試験装置によれば、テストパターンを形成するためのハードウェアおよびソフトウェアのコストを低減できるとともに、設計データから得られたテストパターンと試験装置で形成されるテストパターンの整合がとれ、被試験デバイスの不良検出率（デバッグ効率）が向上する。さらに開発設計時に作成されたイベントベースのシミュレーションデータをそのまま使用して、被試験LSIを試験するためのテストパターンを形成することができるので、LSIの設計からテストパターン作成までのターンアラウンドタイムを大幅に短縮できる。

【0059】第10図は、基本的に第8図と第9図を統合化した状態を示すものであり、従来技術と本発明との比較をより鮮明にするためのブロック図である。第10図において、EDA環境を示すブロック図は、第4図のブロック図とほぼ同一である。すなわち、レジスタトランシスファーレベル（RTL）の設計データを格納したRTL121は、合成ソフトウェア122により、ピンデータファイル125やレイアウトデータファイル126に変換される。これらの設計データを用いて、半導体製造プロセス（シリコンプロセス）を経ることにより、集積回路128が製造される。

【0060】また各設計データからテストベンチ用のデータを抽出する行程127を経て、テストベンチ124が作成される。このテストベンチから、設計データによるデバイスマodelにテストベクタを与えて、論理シミュレーション123を実行する。これにより得られたダンプファイルであるVCDファイル134や（それに類似のイベントベースのデータ構造を有するSTILファイル135）と、試験装置のピン情報を格納するピンデータファイル133を用いて、テストパターンを形成する。ここでダンプファイルの例としてのVCDとは先にも説明したようにVerilogのVCD（Value Change Dump）であり、STILとはIEEEのSTIL（Standard Test Interface Language）である。

【0061】本発明においては、波線（A）で示すルートにより、テストパターンが形成される。すなわち、ダンプデータとピンデータは、コンパイラ141によりオブジェクトコードに変換されて、イベントファイル132が形成される。このイベントファイルに蓄積されたイベントデータは、試験装置131のイベントメモリに転送されて、イベントベースのテストパターンが発生され、被試験デバイス128の試験を実行する。

場合には、波線（B）で示すルートにより、テストパターンが形成される。すなわち、ダンプファイル134や135のデータと、試験装置の各仕様や制限条件を格納するファイル137—139からのデータを、前処理142により処理して、サイクルベースのデータに必要な情報を抽出する。この処理ではイベントベースのデータを、試験サイクル毎に分割して、そのサイクル内の波形データやタイミングデータ等を形成する。

【0063】このようにして得られたデータを、変換ソフトウェア143により試験装置152のフォーマットに変換する。このフォーマットはテストパターンの波形や、タイミング、さらにベクタ等の各記述フォーマットである。さらに後処理144により、その試験装置固有の言語に変換されて、テストパターンの各ファイル145、146および147が形成される。これらテストパターンデータは、テスタソフトウェア（含むコンパイラ）151を経て、試験装置152にロードされ、このデータを基にテストパターンを発生して、被試験デバイス128の試験が実行される。

【0064】このように、本発明の試験装置の場合、波線（A）で示すルートのように、EDA環境と試験装置とは直接的に結合でき、その間に必要とするソフトウェアは実質上コンパイラ141のみである。これに対し、従来技術による試験装置の場合、波線（B）で示すルートのように、EDA環境と試験装置との間には、多数のソフトウェアが介在する必要がある。しかもイベントベースのデータ構造を、サイクルベースのデータ構造に変換することが、必ずしも確実にできるものではないために、変換エラーが生じ、デバイスの試験を十分にできない場合が生じうる。

【0065】第11図は、EDA環境において得られたLSIの設計検証データを用いて、テストパターンを形成し、被試験デバイスを試験する場合の、本発明による半導体試験装置の機能およびEDA環境と総合的関係を示すブロック図である。特に図11では、イベントデータの各パラメータを変更しつつ表示する機能を示している。

【0066】LSIの設計データ161について、テストベンチ163（第3者による）または164（テスタ用に構成された）を用いて、論理シミュレーション162を実行し、ダンプファイル168が得られる。このダンプファイル168のデータ、またはテストベンチ164によるイベント列169のデータに、インターフェース171によりそれらイベントの各テストピンへの割り当てや信号レベルが決められて、ファイル172、173が形成される。ファイル172や173のデータはコンパイラ175によりオブジェクトコードに変換されて、イベントファイル176が形成される。

【0067】デバイスに対する試験の実行時に、イベン

験装置178に転送される。イベントメモリに格納されたイベントデータを用いて、試験装置178は、イベントベースのテストパターンを発生して、被試験デバイスの試験が実行される。試験結果は試験結果ファイル166に蓄積され、例えば不良解析等に用いられる。このような試験結果は、テストベンチ生成修正165を経てテストベンチにフィードバックされる。

【0068】上記のように、イベントファイルに形成されたイベントデータは、被試験デバイスに与えるテストパターンを直接的に記述している。したがって、そのイベントデータを用いて、例えばグラフィックユーザインタフェース(GUI)により、現実のテストパターンと同一のパターン列を表示し且つ変更等ができる。例えばテストパターンとテストピンの全体像の表示181やその一部を取り出して拡大した表示182、イベントのタイミングを所定の比率で縮小した表示184あるいは拡大した表示185、さらに特定のイベントのタイミング(位置)を変更する等のオフセット表示183等である。これらの表示上におけるパラメータの変更は、イベントファイルのデータを変更することにより、実際のテストパターンの変更として、被試験デバイスに印加しその応答を検証することができる。なお、イベントタイミングの縮小拡大(スケーリング)に関しては、本発明の譲受人による米国特許出願番号09/286226に詳細に開示されている。

【0069】第12図は、本発明によるイベントベースの半導体試験装置の構成例を示すブロック図である。この試験装置の詳細については、上記の米国特許出願のほか、同一譲受人による米国特許出願番号09/259401にも詳述されている。第12図において、ホストコンピュータ212は、例えばUNIX(登録商標)をベースとするワークステーションであり、ユーザインタフェースとして機能する。ホストコンピュータ212と試験装置内部のハードウェアは、バスインターフェース213と内部バス215により接続されている。

【0070】アドレス制御部218は例えば試験装置の制御を行うテスタプロセッサであり、この図の場合、フェイルメモリ217やイベントメモリ220、221のアドレスを制御している。イベントデータはテストプログラムとして、ホストコンピュータからイベントメモリ220および221に転送される。例えばイベントメモリ220は、イベントのタイミングデータ中の基本クロック周期の整数倍のデータを格納し、イベントメモリ221は、タイミングデータ中の基本クロック周期の端数データを格納する。サミング・スケーリング222は、イベントメモリ220、221からのイベントタイミングデータを加算しあるいは倍率変更して、各イベントのタイミングを所定の基準時間からのタイミング(遅延時間)としてあらわす。イベント発生器224は、その結

発生し、ピンエレクトロニクス226を経由して、被試験デバイス228に与える。被試験デバイスの応答を検証することにより、デバイス228の試験が実行される。

【0071】

【発明の効果】以上のように、本発明の半導体設計試験システムは、電子設計自動化(EDA)手法による設計の段階で得られた被試験LSIの論理シミュレーションデータを直接的に使用してテストパターンを形成し、その被試験LSIの試験を実行できる。この半導体試験装置においては、意図するLSIの開発設計時におけるCADデータを基にして作成されたイベントベースのシミュレーションデータをそのまま使用して被試験LSIを試験するためのテストパターンを形成することができる。

【0072】このため本発明の半導体設計試験システムは、LSIの設計からテストパターン作成までのターンアラウンドタイムを大幅に短縮できるとともに、より単純なソフトウェアとハードウェアにより構成することができる。また設計段階での論理シミュレーションと実際のデバイスに対する試験が同一の思考方法で可能であり、試験結果をEDA開発設計環境に直接フィードバックすることができる。さらに本発明の半導体試験装置は、試験コストの低下と試験効率の向上を実現できる。

【図面の簡単な説明】

【図1】従来技術における半導体試験装置(LSI tester)の基本的構成例を示すブロック図である。

【図2】EDA環境においてCADを用いて得たLSIの設計データを、論理シミュレーションにより検証した結果得られた、ダンプファイルを利用して、従来の半導体試験装置においてLSIの試験をする場合の全体的関係を示す概念図である。

【図3】従来の半導体試験装置において、サイクルベースにより試験パターンを形成するための、パターンデータとタイミングデータの記述例を示す概念図である。

【図4】EDA環境において得られたLSIの設計データを、論理シミュレーションにより検証して、ダンプファイルを形成する課程、およびその結果得られたデータに記述されたイベント列波形イメージを示すブロック図である。

【図5】従来の半導体試験装置において、サイクルベースによりテストパターンを形成するためのデータ記述例と、それと同一のテストパターンを本発明の半導体試験装置によりイベントベースでテストパターンを形成するためのデータ記述例を比較するための図である。

【図6】EDA環境において得られたLSIの設計検証データを用いて、従来の半導体試験装置における、サイクルベースによるテストパターンを形成する場合の、EDA環境と試験装置の関係を、必要なソフトウェアを主

【図7】本発明によるイベントベースの半導体試験装置とEDA環境の関係を、必要とするソフトウェアにより示し、第6図の従来技術と比較するためのブロック図である。

【図8】EDA環境において得られたLSIの設計検証データを用いて、従来の半導体試験装置における、サイクルベースによるテストパターンを形成する場合の、EDA環境と試験装置の関係を、必要なソフトウェアを基に、より詳細に示したブロック図である。

【図9】本発明を第8図の従来技術の例と比較するために、本発明によるイベントベースの半導体試験装置とEDA環境の関係を、必要とするソフトウェアにより示したブロック図である。

【図10】EDA環境において得られたLSIの設計検証データを用いて、テストパターンを形成し、被試験デバイスを試験する場合の、従来技術における半導体試験装置と本発明による半導体試験装置の構成および効果を比較するためのブロック図である。

【図11】EDA環境において得られたLSIの設計検証データを用いて、テストパターンを形成し、被試験デバイスを試験する場合の、本発明による半導体試験装置*

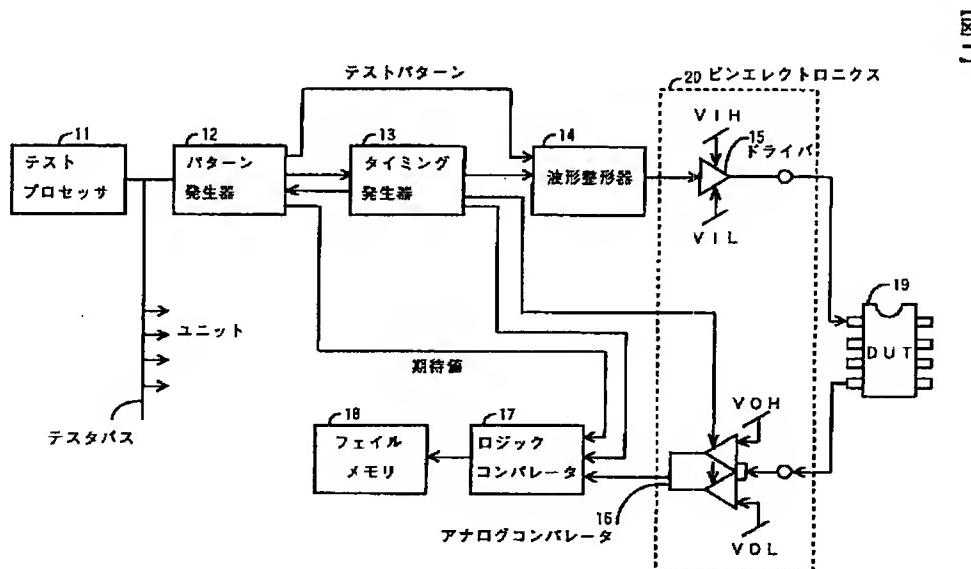
*の機能およびEDA環境との総合的関係を示すブロック図である。

【図12】本発明によるイベントベースの半導体試験装置の構成例を示すブロック図である。

【符号の説明】

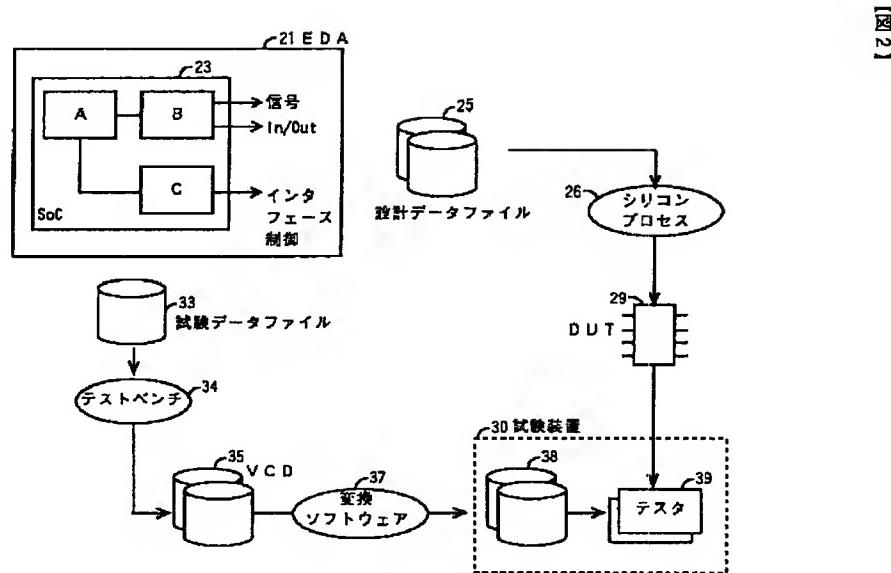
161	LSIの設計データ
162	論理シミュレーション
163	テストベンチ
164	テストベンチ
10 165	テストベンチ生成修正
166	試験結果ファイル
168	ダンプファイル
169	イベント列
171	インターフェース
172	ファイル
173	ファイル
175	コンパイラ
176	イベントファイル
177	ローダ
20 178	試験装置

【図1】

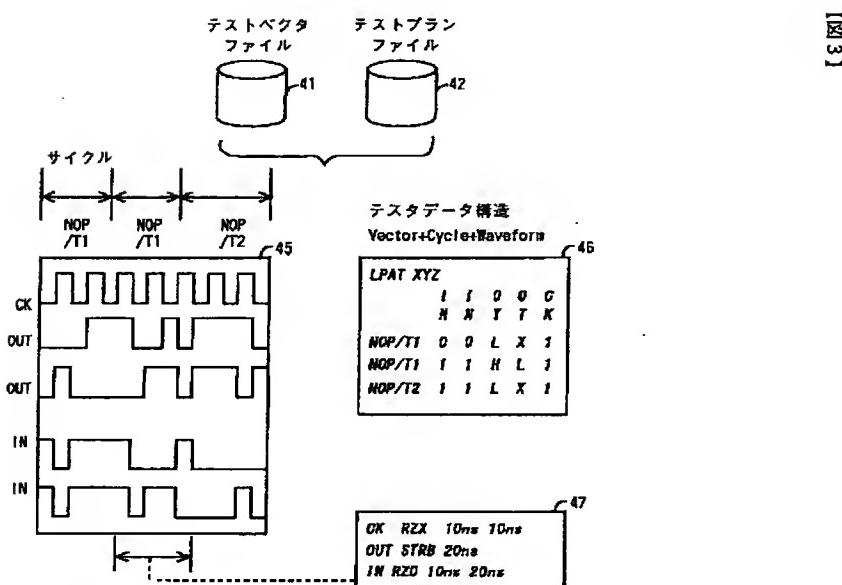


【図1】

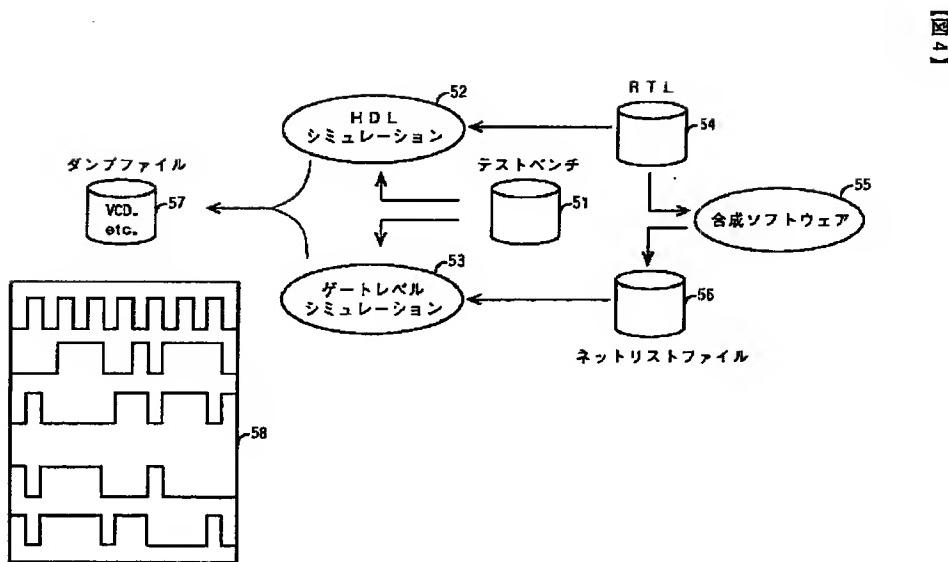
【図2】



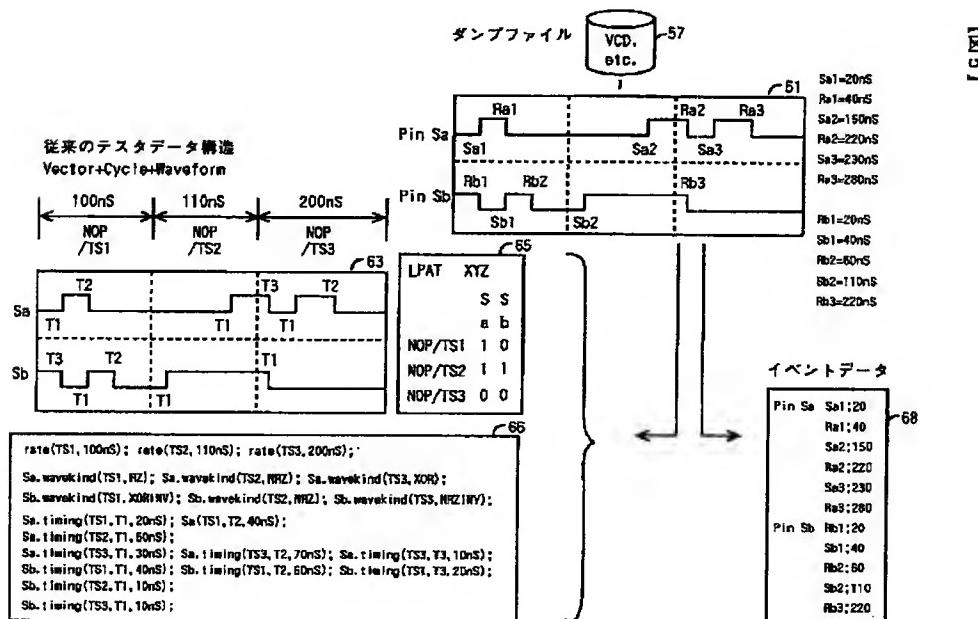
【図3】



[图 4]

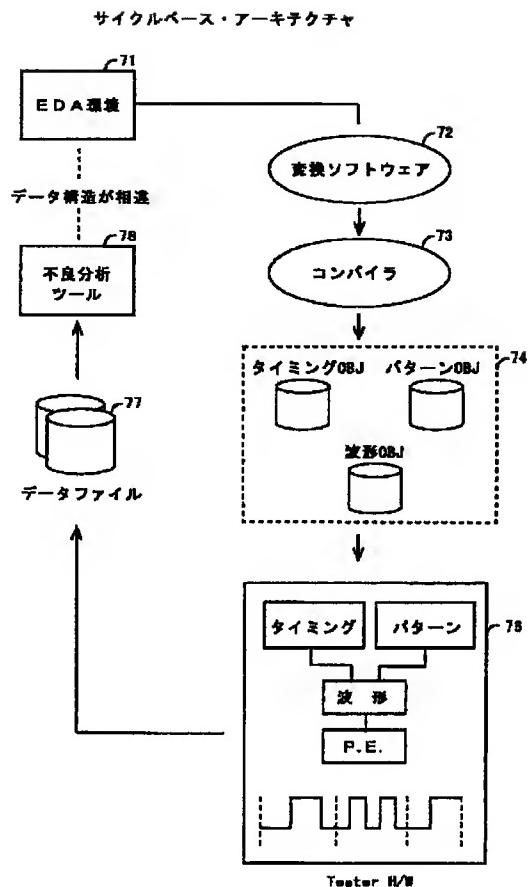


〔四〕



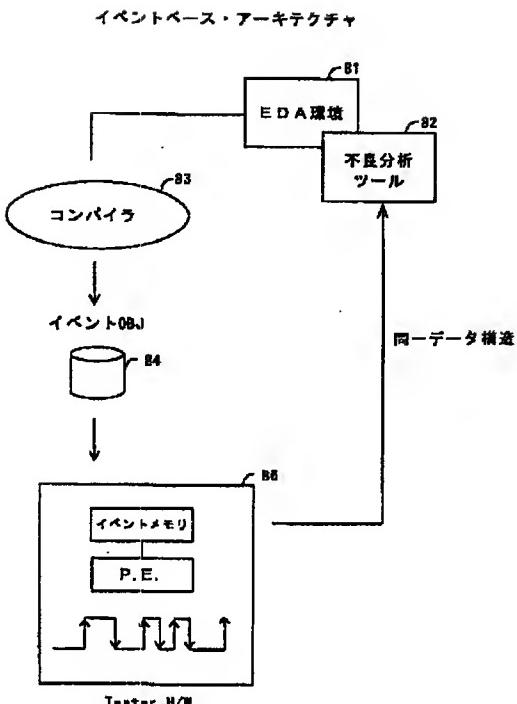
【図6】

【図6】



【図7】

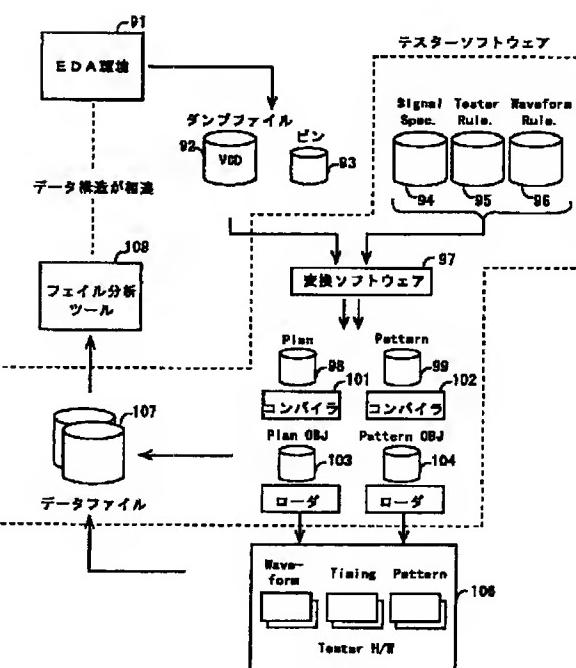
【図7】



【図8】

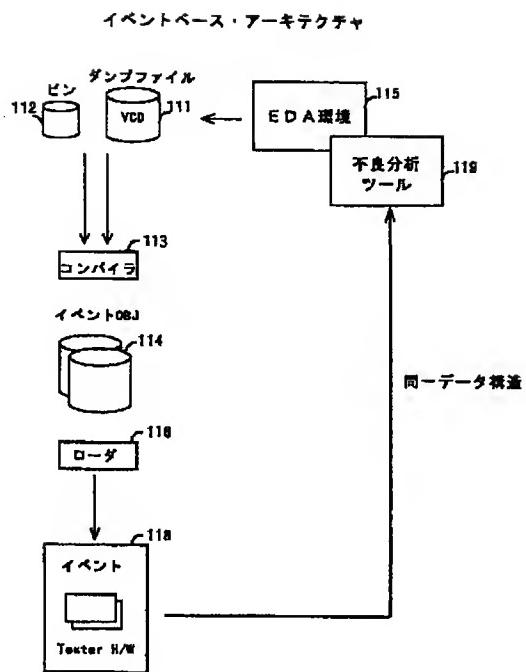
【図8】

サイクルベース・アーキテクチャ

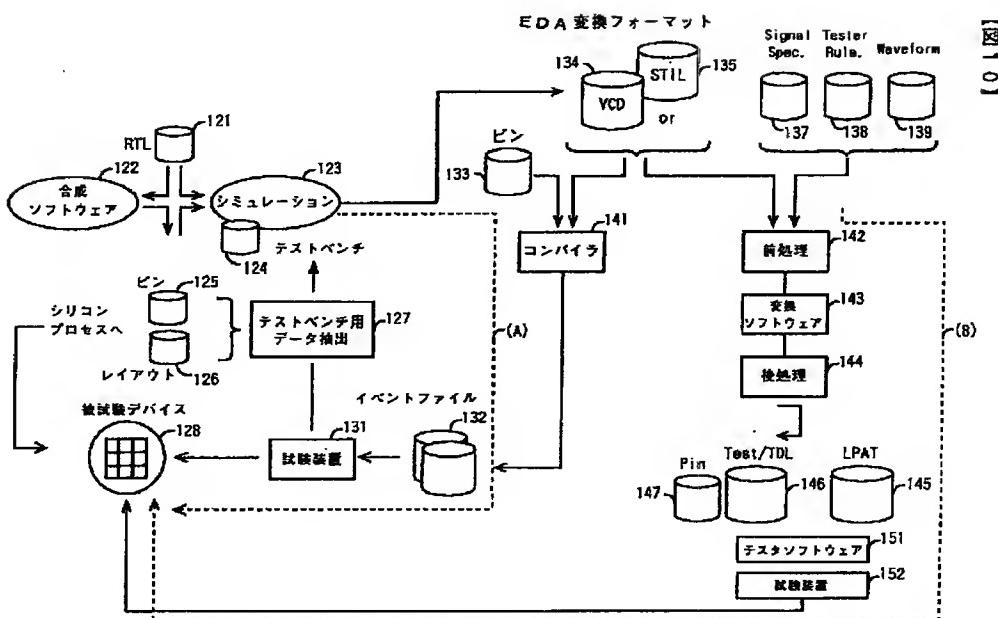


【図9】

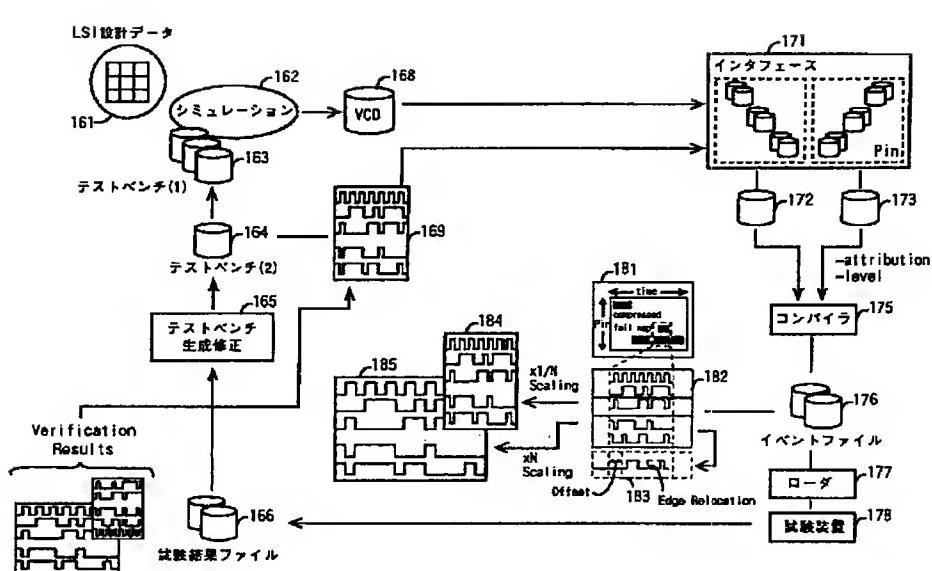
【図9】



【図10】

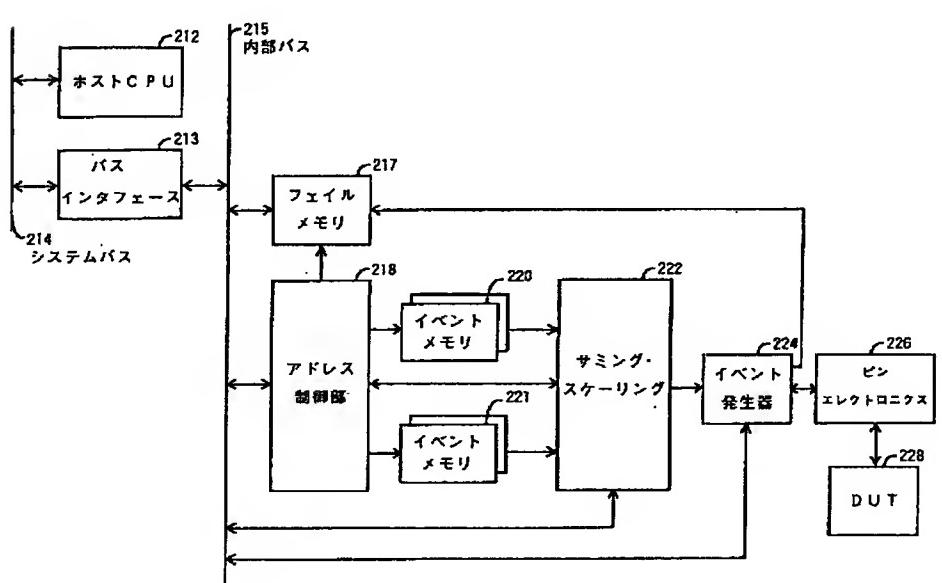


【図11】



【図11】

【図12】



【図12】